

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037496

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H03L 7/08

(21)Application number : 2001-226654

(71)Applicant : ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 26.07.2001

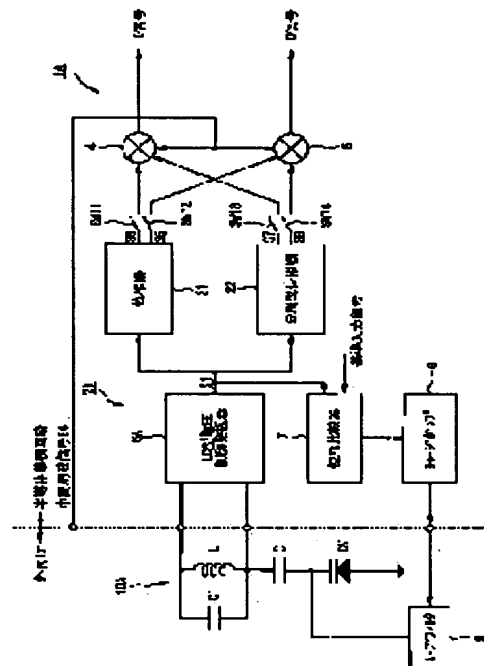
(72)Inventor : OI TAKUYA

(54) SIGNAL GENERATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal generation circuit that can reduce the number of tank circuits and their externally mounted components, when the signal generation circuit generates, e.g. a plurality of local signals.

SOLUTION: The circuit consists of an LC type voltage-controlled oscillator 6A, a phase comparator 7, a charge pump 8, and a loop filter 9 form a phase-locked loop. A phase shifter 21 receives an output signal oscillated from the LC voltage-controlled oscillator 6A to generate a first signal S5 and a second signal S6, whose phases are shifted to each other by 90-degrees. Switches SW11, SW12 extract the signals, as required. A frequency divider type phase shifter 22 receives the oscillation output signal from the LC type voltage-controlled oscillator 6A to decrease the frequency of the oscillation output signal to a half and to produce a third signal S7 and a fourth signal S8, whose phases are shifted with to other by 90-degrees. Switches SW13, SW14 extract the signals, as required.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-37496
(P2003-37496A)

(43) 公開日 平成15年2月7日 (2003.2.7)

(51) Int.Cl.⁷

H 0 3 L 7/08

識別記号

F I

H 0 3 L 7/08

キーワード (参考)

H 5 J 1 0 6

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2001-226654 (P2001-226654)

(22) 出願日 平成13年7月26日 (2001.7.26)

(71) 出願人 594021175

旭化成マイクロシステム株式会社
東京都新宿区西新宿三丁目7番1号

(72) 発明者 大井 卓也

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

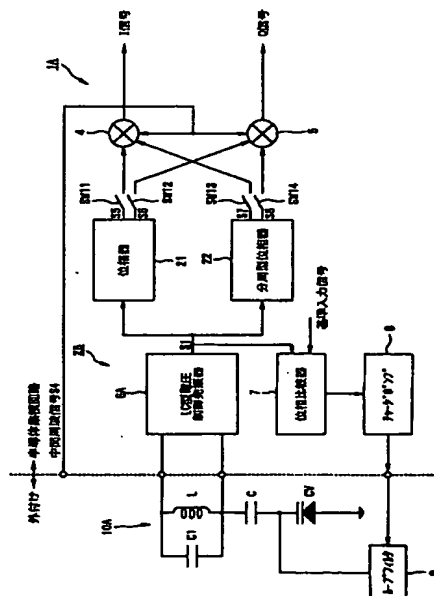
Fターム (参考) 5J106 AA04 BB01 CC01 CC21 CC41
CC52 CC58 DD09 DD32 FF04
FF07 GG19 KK39

(54) 【発明の名称】 信号発生回路

(57) 【要約】

【課題】 例えば複数のローカル信号を得る場合に、タンク回路などの削減、その外付け部品の削減などができる信号発生回路の提供。

【解決手段】 LC型電圧制御発振器6Aと、位相比較器7と、チャージポンプ8と、ループフィルタ9とで位相ロックループを形成している。位相器21は、LC型電圧制御発振器6Aの発振出力信号を受け、その位相が互いに90°ずれた第1の信号S5、および第2の信号S6を生成する。その信号は、スイッチSW11、SW12により必要に応じて取り出す。分周型位相器22は、LC型電圧制御発振器6Aの発振出力信号を受け、その発振出力信号の周波数を1/2に下げるとともに、その位相が互いに90°ずれた第3の信号S7および第4の信号S8を生成する。その信号は、スイッチSW13、SW14により必要に応じて取り出す。



【特許請求の範囲】

【請求項1】 LC型電圧制御発振器と、位相比較器と、ループフィルタを含む位相ロックループと、前記LC型電圧制御発振器の発振出力信号を受け、その位相が互いに 90° ずれた第1の信号および第2の信号を生成して出力する位相器と、前記LC型電圧制御発振器の発振出力信号を受け、その発振出力信号の周波数を $1/2$ に下げるとともに、その位相が互いに 90° ずれた第3の信号および第4の信号を生成して出力する分周型位相器と、前記第1の信号および前記第2の信号と、前記第3の信号および前記第4の信号とを選択する選択手段と、を備えたことを特徴とする信号発生回路。

【請求項2】 前記LC型電圧制御発振器はLCタンク回路を含み、前記LCタンク回路を除く前記LC型電圧制御発振器と、前記位相比較器と、前記位相器と、前記分周型位相器とが単一の半導体集積回路で構成され、前記LCタンク回路が前記半導体集積回路の外付け部品になっていることを特徴とする請求項1に記載の信号発生回路。

【請求項3】 前記LCタンク回路に含まれるバリキャップは、このバリキャップに印加する単位電圧とその容量変化の比率が大きなものを使用するようにしたことを特徴とする請求項2に記載の信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交復調器などに使用され、複数種類の信号の発生が可能な信号発生回路に関するものである。

【0002】

【従来の技術】移動通信などの無線通信における多元接続の方式の1つとして、例えばCDMA（符号分割多元接続）が知られている。例えば、このCDMA方式用の携帯端末では、図6に示すように、高周波増幅部でダウンコンバートされた中間周波信号（IF信号）に基づいて、ベースバンド信号を復調する直交復調器1と、この直交復調器1に所定の周波数からなるローカル信号を供給するローカル信号発生回路2とを備えている。

【0003】直交復調器1は、図6に示すように、分周型位相器3と、2つのミキサ4、5とから構成されている。分周型位相器3は、ローカル信号発生回路2の出力信号S1の周波数を $1/2$ に低下させるとともに、その位相差が互いに 90° （ $\pi/2$ ）異なる第1のローカル信号S2、S3を生成し、これをミキサ4、5に出力する。ミキサ4は、中間周波信号S4とローカル信号S2とに基づきI信号を生成する。ミキサ5は、中間周波信号S4とローカル信号S3とに基づきQ信号を生成する。

【0004】ローカル信号発生回路2は、図6に示すよ

うに、LC型電圧制御発振器6と、位相比較器7と、チャージポンプ8と、ループフィルタ9とを備え、位相ロックループを形成するようになっている。LC型電圧制御発振器6は、複数（この例では2つ）の周波数の出力信号S1を得るために、2つのタンク回路10、11を含んでいる。また、タンク回路10、11は、発振周波数に応じてスイッチSW1、SW2、またはスイッチSW3、SW4により選択できるようになっている。

【0005】タンク回路10は、コイルLとコンデンサC1が並列接続され、これにコンデンサCおよびバリキャップCVが直列接続されている。また、発振周波数の微調整のために、コンデンサC1にスイッチSW5、SW6を介して並列にコンデンサC2が接続されている。バリキャップCVは、ループフィルタ9の出力によりその容量が可変できるようになっている。

【0006】同様に、タンク回路11は、コイルL'とコンデンサC1'が並列接続され、これにコンデンサC'およびバリキャップCV'が直列接続されている。また、発振周波数の微調整のために、コンデンサC1'にスイッチSW7、SW8を介して並列にコンデンサC2'が接続されている。バリキャップCV'は、ループフィルタ9の出力によりその容量が可変できるようになっている。

【0007】なお、図6において、破線の右側部分は半導体集積回路で構成され、その左側の部分はその半導体集積回路に外付けされている。即ち、直交型位相器1と、ローカル信号発生回路2のうちのLC型電圧制御発振器6、位相比較器7、およびチャージポンプ8とは、半導体集積回路として構成されている。また、ローカル信号発生回路2のうちのループフィルタ9、タンク回路10、11は、その半導体集積回路に外付けされるようになっている。

【0008】次に、このような構成からなるローカル信号発生回路2の動作について説明する。このローカル信号発生回路2では、LC型電圧制御発振器6の所望の出力信号S1に応じて位相比較器7に基準入力信号が供給され、それに応じてタンク回路10またはタンク回路11が選択される。いま、タンク回路10が選択されたものとする。

【0009】この場合には、LC型電圧制御発振器6は、タンク回路10のインダクタンス値や静電容量値で決まる周波数で発振し、この発振出力が出力信号S1となる。位相比較器7は、その発振出力と基準入力信号との位相差に応じてアップ信号またはダウン信号を出力する。チャージポンプ8は、そのアップ信号とダウン信号に応じた信号を出力し、この出力はループフィルタ9によりフィルタ処理される。ループフィルタ9の出力は、バリキャップCVに与えられ、これによりバリキャップCVの静電容量が変化する。

【0010】このような動作により、LC型電圧制御発

振器 6 の出力信号 S 1 の周波数が、位相比較器 7 に入力されている基準入力信号の周波数に一致するようなフィードバック制御が行われる。次に、従来からのローカル信号発生回路の他の構成例について、図 7 を参照して説明する。

【0011】このローカル信号発生回路 2 A は、図 7 に示すように、2 つの LC 型電圧制御発振器 6 A、6 B と、これに対応する 2 つのタンク回路 10、11 とを備え、LC 型電圧制御発振器 6 A、6 B の周波数の異なる出力信号 S 1、S 2 を、スイッチ SW 9、SW 10 で選

【0012】なお、他の部分の構成は図 6 と同様であるので、その説明は省略する。また、図 7 において、破線の右側部分は半導体集積回路で構成され、その左側の部分はその半導体集積回路に外付けされるようになっている。

【0013】

【発明が解決しようとする課題】このように、従来のローカル信号発生回路では、2 つのローカル信号を得るために以下のような構成が採用されている。すなわち、第 1 の構成は、図 6 に示すように 2 つのタンク回路 10、11 を用意し、スイッチにより選択して所望の周波数のローカル信号を生成するようになっている。第 2 の構成は、図 7 に示すように、2 つの LC 型電圧制御発振器 6 A、6 B と、これに対応するタンク回路 10、11 とを用意し、これらをスイッチにより選択して所望の周波数のローカル信号を生成するようになっている。

【0014】また、発振周波数を微調整するために、タンク回路 10、11 は、コンデンサ C 2、C 2' やスイッチ SW 5 ~ SW 8 を含んでいる。このため、従来のローカル信号発生回路では、例えば 3 つのローカル信号を得たいような場合には、タンク回路や LC 型電圧制御発振器がそれに応じて増加するという不都合がある。さらに、タンク回路は、図 6 や図 7 に示すように、外付けで構成されるので、外付け部品の点数が増加するという不都合がある。

【0015】そこで、本発明の目的は、上記の点に鑑み、例えば複数のローカル信号を得る場合に、タンク回路などの削減、その外付け部品の削減などができる信号発生回路を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決して本発明の目的を達成するために、請求項 1 ~ 請求項 3 に記載の各発明は、以下のように構成した。すなわち、請求項 1 に記載の発明は、LC 型電圧制御発振器と、位相比較器と、ループフィルタとを含む位相ロックループと、前記 LC 型電圧制御発振器の発振出力信号を受け、その位相が互いに 90° ずれた第 1 の信号および第 2 の信号を生成して出力する位相器と、前記 LC 型電圧制御発振器

の発振出力信号を受け、その発振出力信号の周波数を 1/2 に下げるとともに、その位相が互いに 90° ずれた第 3 の信号および第 4 の信号を生成して出力する分周型位相器と、前記第 1 の信号および前記第 2 の信号と、前記第 3 の信号および前記第 4 の信号とを選択する選択手段と、を備えたことを特徴とするものである。

【0017】また、請求項 2 に記載の発明は、請求項 1 に記載の信号発生回路において、前記 LC 型電圧制御発振器は LC タンク回路を含み、前記 LC タンク回路を除く前記 LC 型電圧制御発振器と、前記位相比較器と、前記位相器と、前記分周型位相器とが単一の半導体集積回路で構成され、前記 LC タンク回路が前記半導体集積回路の外付け部品になっていることを特徴とするものである。

【0018】さらに、請求項 3 に記載の発明は、請求項 2 に記載の信号発生回路において、前記 LC タンク回路に含まれるバリキャップは、このバリキャップに印加する単位電圧とその容量変化の比率が大きなものを使用するようにしたことを特徴とするものである。このように本発明では、LC 型電圧制御発振器、位相比較器、およびループフィルタとを含む位相ロックループの他に、位相器、分周型位相器、および選択手段を備えるようにした。

【0019】このため、本発明によれば、例えば 3 つのローカル信号を得るような場合に、タンク回路を 1 つに削減ができ、タンク回路が外付けの場合にはその外付け部品の個数が大幅に削減ができる。

【0020】

【発明の実施の形態】以下、本発明の信号発生回路の実施形態の構成について、図 1 を参照して説明する。本発明の実施形態に係るローカル信号発生回路 2 B は、図 1 に示すように、直交復調器 1 A と組み合わせて使用するものである。

【0021】直交復調器 1 A は、ミキサ 4 とミキサ 5 を含んでいる。そして、このミキサ 4、5 は、スイッチ SW 11、S 12 が閉じたときには後述の位相器 2 1 と接続され、スイッチ SW 13、SW 14 が閉じたときには後述の分周型位相器 2 2 と接続されるようになっている。すなわち、位相器 2 1 とミキサ 4、5 とが接続された場合には、ミキサ 4 は中間周波信号 S 4 と位相器 2 1 の出力 S 5 に基づき I 信号を生成して出力し、ミキサ 5 は中間周波信号 S 4 とその位相器 2 1 の出力 S 6 に基づき Q 信号を生成して出力する。一方、分周型位相器 2 2 とミキサ 4、5 とが接続された場合には、ミキサ 4 は中間周波信号 S 4 と分周型位相器 2 2 の出力 S 7 に基づき I 信号を生成して出力し、ミキサ 5 は中間周波信号 S 4 とその分周型位相器 2 2 の出力 S 8 に基づき Q 信号を生成して出力する。

【0022】信号発生回路 2 B は、図 1 に示すように、LC 型電圧制御発振器 6 A、位相比較器 7、チャージボ

ンプ8、ループフィルタ9からなる位相同期ループ(PLL)の他に、位相器21と、分周型位相器22と、スイッチSW11～SW14と、を含んでいる。LC型電圧制御発振器6Aは、図1に示すように、タンク回路10Aを含んでいる。このタンク回路10Aは、コイルLとコンデンサC1が並列接続され、これにコンデンサCおよびバリキャップCVが直列接続されている。

【0023】バリキャップCVは、ループフィルタ9の出力によりその容量が可変できるようになっている。また、バリキャップCVは、このバリキャップCVに印加する単位電圧とその容量変化の比率が大きなものを使用するようにした。これは、LC型電圧制御発振器6Aの発振出力の範囲を、通常の場合に比べて広くするためである。

【0024】位相器21は、LC型電圧制御発振器6Aからの出力信号S1を受け、その位相が互いに90°ずれた第1の信号S5および第2の信号S6を生成して出力するものである。また、この位相器21で生成する第1および第2の信号S5、S6は、スイッチSW11、SW12を介して直交復調器1Aのミキサ4、5に供給されるようになっている。

【0025】位相器21は、具体的には、例えば図2に示すようなRC-CR型位相器で構成されている。すなわち、この位相器21は、図2に示すように、入力端子23と出力端子24、25とを備えている。そして、コンデンサC11と抵抗R1が、入力端子23とアース間に直列に接続され、コンデンサ11と抵抗R1の共通接続部が出力端子24に接続されている。また、抵抗R2とコンデンサC12が、入力端子23とアース間に直列に接続され、抵抗2とコンデンサ12の共通接続部が出力端子25に接続されている。

【0026】分周型位相器22は、LC型電圧制御発振器6の出力信号S1を受け、その出力信号S1を分周して周波数を1/2に下げるとともに、その位相が互いに90°($\pi/2$)ずれた第3の信号S7および第4の信号S8を生成して出力するものである。また、この分周型位相器22で生成する第3および第4の信号S7、S8は、スイッチSW13、SW14を介して直交復調器1Aのミキサ4、5に供給するようになっている。

【0027】分周型位相器22は、図3に示すように、Dフリップフロップ(以下、DFFという)26とDFF27とを直列に接続したものであり、DFF27の出力がDFF26の入力側に帰還されるようになっている。さらに詳述すると、DFF26の入力端子Dと反転入力端子DNとは、DFF27の出力端子Qと反転出力端子QNに接続されている。DFF26、27のクロック端子CLKと反転クロック端子CLKNには、LC型電圧制御発振器6の出力信号S1とこれを反転した反転信号が供給されるようになっている(図5参照)。

【0028】また、DFF26の出力端子Qと反転出力

端子QNは、DFF27の対応する入力端子Dと反転入力端子DNに接続されている。そして、DFF26の出力端子Qと反転出力端子QNの各出力Q1、Q1Nを第3の信号S7として出力し、DFF27の出力端子Qと反転出力端子QNの各出力Q2、Q2Nを第4の信号S8として出力するようになっている。

【0029】このような構成からなる分周型位相器22の各部の波形例を示すと、図5に示すようになる。次に、図3に示すDFF26とDFF27とは、図4に示すような回路により構成される。すなわち、この回路は、N型のMOSトランジスタQ1～Q7、および抵抗R3、R4から構成される。

【0030】さらに詳述すると、MOSトランジスタQ1、Q2は差動対を構成し、その各ゲートには、差動入力信号がそれぞれ供給されるようになっている。MOSトランジスタQ1、Q2の各ソースは共通接続され、その共通接続部はMOSトランジスタQ3およびMOSトランジスタQ4を介して接地されている。MOSトランジスタQ3のゲートには、LC型電圧制御発振器6Aの出力信号S1が印加され、MOSトランジスタQ4のゲートには、バイアス電圧が印加されるようになっている。

【0031】また、MOSトランジスタQ1のドレインは、MOSトランジスタQ5のドレインおよびMOSトランジスタQ6のゲートに接続されるとともに、反転出力信号が取り出せるようになっている。さらに、MOSトランジスタQ2のドレインは、MOSトランジスタQ5のゲートおよびMOSトランジスタQ6のドレインに接続されるとともに、非反転出力信号が取り出せるようになっている。

【0032】また、MOSトランジスタQ5、Q6は差動対を構成し、その各ソースは共通接続され、その共通接続部はMOSトランジスタQ7およびMOSトランジスタQ4を介して接地されている。MOSトランジスタQ7のゲートには、LC型電圧制御発振器6Aの出力信号S1を反転した反転信号が印加されるようになっている。

【0033】なお、実施形態は、図1に示すように、破線の右側部分の構成要素は単一の半導体集積回路で構成され、その左側部分の構成要素はその半導体集積回路に外付けされるようになっている。すなわち、直交型位相器1Aと、ローカル信号発生回路2BのうちのLC型電圧制御発振器6A、位相比較器7、チャージポンプ8、位相器21、および分周型位相器22とは、半導体集積回路として単一の半導体基板上に構成されている。一方、ローカル信号発生回路2Bのうちのループフィルタ9、タンク回路10Aは、その半導体集積回路に外付けされるようになっている。

【0034】次に、このような構成からなる実施形態の動作例について、図面を参照して説明する。以下では、

この実施形態を、3つの異なる通信規格（通信方式）のうちの1つを選択して通信ができる通信端末に適用した場合について説明する。この3つの通信規格とは、PCSセルラ(personal communication system cellular)、CDMAセルラ、およびAMPS(advanced mobile phone system)である。

【0035】従って、この場合には、その各通信規格に応じて、ローカル信号発生回路2Bから直交復調器1Aのミキサ4、5に対して供給される信号の周波数は、異なるものが必要になる。すなわち、その各周波数は、PCSセルラの場合には210.38 [MHz]、CDMAセルラの場合には110.00 [MHz]、AMPSの場合には85.38 [MHz]となる。

【0036】まず、ミキサ4、5に対して周波数が210.38 [MHz] からなる信号を供給する場合には、スイッチSW11、SW12が閉じられるとともに、位相比較器7には周波数が210.38 [MHz] の基準入力信号が供給される。これにより、LC型電圧制御発振器6Aは、タンク回路10Aのインダクタンス値や静電容量値で決まる周波数で発振し、その周波数レンジは170.76 [MHz] ~ 220 [MHz] とし、通常よりも広がっている。これは、バリキャップCVが、印加する単位電圧とその容量変化の比率が大きなものを使用しているためである。

【0037】位相比較器7は、そのLC型電圧制御発振器6Aの発振出力と基準入力信号との位相差に応じてアップ信号またはダウン信号を出力する。チャージポンプ8は、そのアップ信号とダウン信号に応じた信号を出力し、この出力はループフィルタ9によりフィルタ処理される。ループフィルタ9の出力は、バリキャップCVに与えられ、これによりバリキャップCVの静電容量が変化する。

【0038】このような一連の動作により、LC型電圧制御発振器6Aの出力信号S1の周波数が、位相比較器7に入力されている基準入力信号の周波数に一致するようなフィードバック制御が行われる。このようにして得られるLC型電圧制御発振器6Aの出力信号S1は、位相器21に供給される。位相器21では、その出力信号S1を受け、その位相が互いに90° ずれた第1の信号S5および第2の信号S6を生成し、これを対応するミキサ4、5に出力する。ミキサ4は、中間周波信号S4とその第1の信号S5に基づきI信号を生成して出力し、ミキサ5は、中間周波信号S4とその第2の信号S6に基づきQ信号を生成して出力する。

【0039】次に、ミキサ4、5に対して周波数が110.00 [MHz] からなる信号を供給する場合には、スイッチSW13、SW14が閉じられるとともに、位相比較器7には、その周波数が110.00 [MHz] の2倍の220.00 [MHz] からなる基準入力信号が供給される。この場合には、上記の場合と同様に動作

し、LC型電圧制御発振器6Aからは、周波数が220.00 [MHz] の出力信号S1が得られ、この出力信号S1が分周型位相器22に供給される。

【0040】分周型位相器22は、その出力信号S1を分周して周波数を1/2の110.00 [MHz] に下げるとともに、その位相が互いに90° ($\pi/2$) ずれた第3の信号S7および第4の信号S8を生成し、これを対応するミキサ4、5に出力する。ミキサ4は、中間周波信号S4とその第3の信号S7に基づきI信号を生成して出力し、ミキサ5は、中間周波信号S4とその第4の信号S8に基づきQ信号を生成して出力する。

【0041】さらに、ミキサ4、5に対して周波数が85.38 [MHz] からなる信号を供給する場合には、スイッチSW7、SW8が閉じられるとともに、位相比較器7には、その周波数が85.38 [MHz] の2倍の170.76 [MHz] からなる基準入力信号が供給される。この場合には、上記の場合と同様に動作し、LC型電圧制御発振器6Aからは、周波数が170.76 [MHz] の出力信号S1が得られ、この出力信号S1が分周型位相器22に供給される。

【0042】分周型位相器22は、その出力信号S1を分周して周波数を1/2の85.38 [MHz] に下げるとともに、その位相が互いに90° ($\pi/2$) ずれた第3の信号S7および第4の信号S8を生成し、これを対応するミキサ4、5に出力する。ミキサ4は、中間周波信号S4とその第3の信号S7に基づきI信号を生成し、ミキサ5は、中間周波信号S4とその第4の信号S8に基づきQ信号を生成して出力する。

【0043】以上説明したように、この実施形態では、LC型電圧制御発振器6A、位相比較器7、チャージポンプ8、ループフィルタ9を含む位相ロックループの他に、位相器21、分周型位相器22、およびスイッチSW11~SW14を備えるようにした。このため、この実施形態によれば、上記のように3つのローカル信号を得る場合に、タンク回路10Aを1つに削減ができ、その外付け部品の個数が大幅に削減ができる。

【0044】

【発明の効果】以上説明したように、本発明によれば、例えば3つのローカル信号を得るような場合に、タンク回路を1つに削減ができ、タンク回路が外付けの場合にはその外付け部品の個数が大幅に削減ができる。

【図面の簡単な説明】

【図1】本発明の信号発生回路の実施形態の構成を示すブロック図である。

【図2】図1に示す位相器の具体的な構成を示す回路図である。

【図3】図1に示す分周型位相器の構成を示すブロック図である。

【図4】図3のDFFの具体的な構成を示す回路図である。

【図5】図3の各部の波形例を示す波形図である。

【図6】従来回路の構成を示すブロック図である。

【図7】従来回路の他の構成を示すブロック図である。

【符号の簡単な説明】

SW11～SW14 スイッチ（選択手段）

1 A 直交復調器

2 B ローカル信号発生回路

4、5 ミキサ

6 A LC型電圧制御発振器

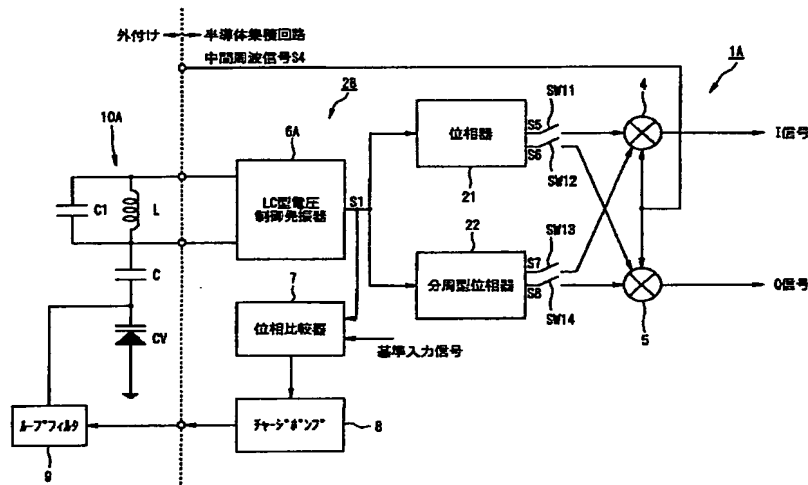
7 位相比較器

8 チャージポンプ

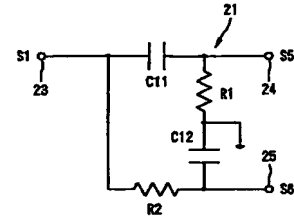
9 ループフィルタ

10 A タンク回路

【図1】

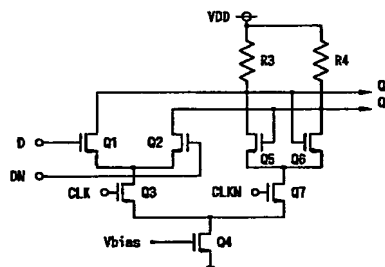
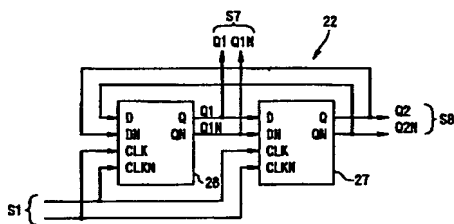


【図2】

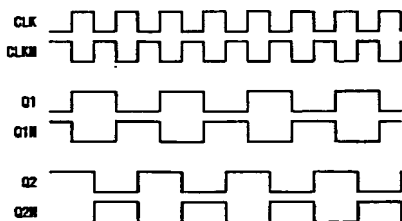


【図3】

【図4】



【図5】



THIS PAGE BLANK (USPTO)